

Stage Ingénieur - Master II en conception ASIC

« Conception de building block en technologie CMOS adapté au détecteur pixellisé du trajectographe d'ATLAS »

ATLAS est l'un des grands détecteurs polyvalents du grand collisionneur de hadrons (LHC) du CERN. Il a été conçu et construit pour mettre en évidence le boson de Higgs, tester de nouveaux modèles de physique et rechercher les signatures de nouvelles particules. Le détecteur ATLAS est le détecteur de particules le plus volumineux jamais construit. Il mesure 46 m de long, 25 m de haut et 25 m de large. Il pèse 7000 tonnes et se situe dans une caverne, à 100 m sous terre.

Au CPPM, un groupe d'une trentaine de physiciens, ingénieurs et techniciens est impliqué dans le projet ATLAS et s'intéresse en particulier au développement du détecteur de vertex, détecteur interne le plus proche du point d'interaction. Ce détecteur de traces (trajectographe) est destiné à suivre le passage des particules dès leur formation.

La brique élémentaire du trajectographe est un circuit intégré spécifique (ASIC) matriciel de plusieurs millions de transistors. Ce circuit opère comme un appareil photo, qui doit prendre une image de la détection des particules, toutes les 25 ns. Plusieurs contraintes de conception sont imposées sur l'électronique, comme la surface, la rapidité, la consommation et la précision. Afin de fonctionner en toute autonomie, le circuit a besoin de fonctions générales, comme un « bandgap reference », un capteur de température, un buffer analogique et son ADC, des circuits numériques de décisions et mémoires, ou encore un système de distribution des alimentations ou polarisations des étages. Des étages d'entrée/sortie à hautes vitesses comme les standards LVDS ou CML seront aussi intégrés.

Activité principale :

Dans un premier temps, le/la stagiaire doit mener une recherche bibliographique détaillée sur une des fonctions générales. Ensuite, il/elle doit proposer et concevoir une des fonctions qui soit le mieux adaptée à l'application selon le cahier des charges fourni.

En fonction de l'avancement du projet, le/la stagiaire aidera l'équipe de conception à finaliser le circuit ASIC, pour une fabrication courant 2021.

- Etude bibliographique sur les architectures de la fonction
- Conception, simulation sous Cadence
- Dessin des masques (Layout)
- Simulation post-layout
- Des tests sur d'anciens circuits sont à prévoir

Connaissances requises :

- Bonnes connaissances en conception de circuits intégrés en technologie CMOS
- Connaissance dans la manipulation d'instruments de mesure

Contact : CV + lettre de motivation avec la référence « ATLAS_Asic » à
Frédéric HACHON, Ingénieur de Recherche CPPM
Tél : +33 4 91 82 76 71 - Mél : hachon@cppm.in2p3.fr

Le stage de 6 mois sera conventionné et rémunéré. Marseille, le 30 septembre 2020
Retrouvez cette offre sur « <http://marwww.in2p3.fr> », rubrique « emplois et stages »